



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11220023 A**(43) Date of publication of application: **10.08.99**

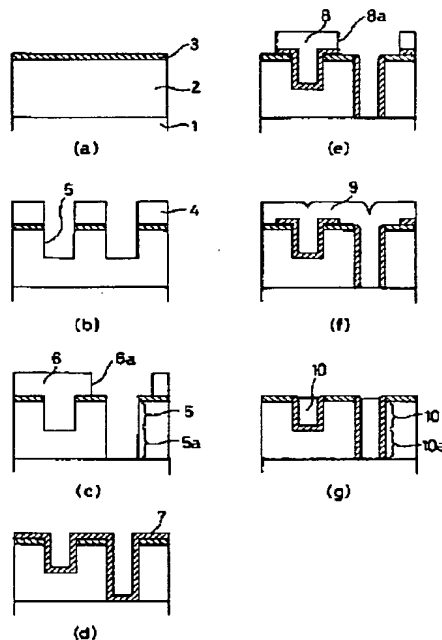
(51) Int. Cl.

**H01L 21/768****H01L 21/28**(21) Application number: **10021142**(22) Date of filing: **02.02.98**(71) Applicant: **SHARP CORP**(72) Inventor: **MATSUSHIMA TOSHIYUKI  
NASU MASAOKI****(54) SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To reduce the resistance between upper and lower wiring layers, when the wiring layers are connected to each other.

**SOLUTION:** A semiconductor layer is provided with at least a lower wiring layer 1, an interlayer insulating film 2, and an upper wiring layer 10 formed in this order, a via hole 5a formed from the lower wiring layer 1 to the upper wiring layer 10 through the insulating film 2, a plug 10a formed in the via hole 5a, and a barrier metal layer 7 formed between the plug 10a and the insulating film 2. The lower and upper wiring layers 1 and 10 are brought directly into contact with the plug 10a.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-220023

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/768  
21/28

識別記号

3 0 1

F I

H 0 1 L 21/90  
21/28

B

3 0 1 L

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号

特願平10-21142

(22) 出願日

平成10年(1998) 2月2日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 松島 俊幸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 那須 雅明

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

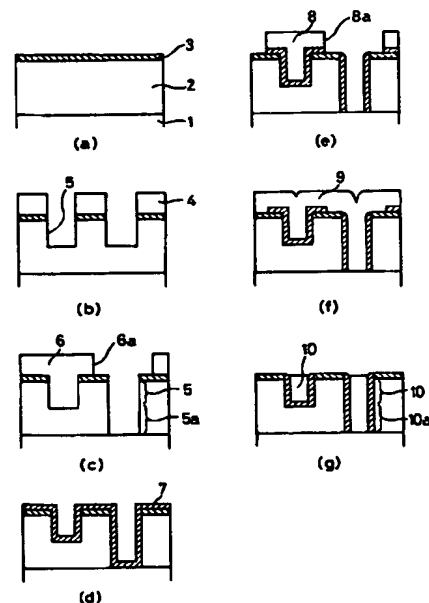
(74) 代理人 弁理士 野村 信太郎

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 上層配線層と下層配線層とを接続する際に、配線層間の抵抗を減少させることを課題とする。

【解決手段】 少なくとも下層配線層1、層間絶縁膜2及び上層配線層10をこの順で有し、下層配線層1から上層配線層10に向かって層間絶縁膜2を貫通するように形成されたビアホール5aと、ビアホール5a内に形成されたプラグ10aと、プラグ10aと層間絶縁膜2間に形成されたバリアメタル層7とを備えてなり、下層配線層1と上層配線層10がプラグ10aと直接接することを特徴とする半導体装置により上記課題を解決する。



## 【特許請求の範囲】

【請求項1】 少なくとも下層配線層、層間絶縁膜及び上層配線層をこの順で有し、下層配線層から上層配線層に向かって層間絶縁膜を貫通するように形成されたビアホールと、ビアホール内に形成されたプラグと、プラグと層間絶縁膜間に形成されたバリアメタル層とを備えてなり、下層配線層と上層配線層がプラグと直接接することを特徴とする半導体装置。

【請求項2】 上層配線層が、層間絶縁膜に埋め込まれ、上層配線層と層間絶縁膜の上面が、同一平面でありかつ略平坦である請求項1の装置。

【請求項3】 下層配線層、上層配線層及びプラグが、同じ材料からなる請求項1又は2の装置。

【請求項4】 上層配線層と層間絶縁膜との間に、上層配線層を構成する材料が層間絶縁膜に拡散することを防ぐ拡散防止層が形成されてなる請求項1〜3いずれか1つの装置。

【請求項5】 バリアメタル層が、W、Ti、TiN又はそれらの積層体である請求項1〜4いずれか1つの装置。

【請求項6】 バリアメタル層が少なくともW膜を含み、W膜がプラグと接する請求項5の装置。

【請求項7】 下層配線層上に層間絶縁膜を形成し、層間絶縁膜の表面から下層配線層に向かって層間絶縁膜を貫通するようにビアホールを形成し、層間絶縁膜の表面とビアホールの側壁及び底部にバリアメタル層を形成し、ビアホールの底部のバリアメタル層を下層配線層が露出するまで除去した後、プラグ及び上層配線層を形成することを特徴とする半導体装置の製造方法。

【請求項8】 下層配線層上に層間絶縁膜を形成し、層間絶縁膜の表面から下層配線層に向かって層間絶縁膜を貫通しないように上層配線層形成用の配線溝を、層間絶縁膜の表面から下層配線層に向かって層間絶縁膜を貫通するようにビアホールを形成し、層間絶縁膜の表面、配線溝及びビアホールの側壁及び底部にバリアメタル層を形成し、ビアホールの底部のバリアメタル層を下層配線層が露出するまで除去した後、

上層配線層形成用の材料を全面に堆積させることにより、上層配線層とプラグとを同時に形成することを特徴とする半導体装置の製造方法。

【請求項9】 下層配線層上に層間絶縁膜を形成した後、ビアホールを形成する前に、層間絶縁膜上に上層配線層を構成する材料が層間絶縁膜に拡散することを防ぐ拡散防止層を形成する請求項7又は8の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関する。更に詳しくは、本発明は、複数の

配線層を有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】 近年、半導体装置の微細化及び高集積化が進んでおり、半導体装置の配線層やビアホールも更に縮小される傾向にある。例えば、特開平5-13593号公報に配線層及びビアホールの形成方法が記載されている。この公報に記載された配線層及びビアホールの形成方法を図6(a)〜(g)を用いて説明する。

【0003】 まず、トランジスタ、キャパシタ等の素子が形成されたデバイス層60の上に、例えばアルミニウム又はその合金からなる下層配線層61がパターニングされて形成される。この下層配線層61を覆うようにデバイス層60全面に、例えば酸化シリコン(SiO<sub>2</sub>)からなる層間絶縁膜62が形成される(図6(a)参照)。

【0004】 次に、層間絶縁膜62上にバリアメタル層63として、窒化チタン(TiN; 融点2950℃)を反応性スパッタ法により約1000Åの厚さで堆積させる(図6(b)参照)。次に、バリアメタル層63上に、ビアホールを形成する部分のみ開口した、所望形状のレジストパターン64を形成する(図6(c)参照)。

【0005】 次いで、塩素(Cl<sub>2</sub>)ガスを用いた通常の平行平板型の反応性イオンエッチング(RIE)装置を使用して、異方性エッチングによりバリアメタル層63を選択的に除去する。この後、レジストパターン64を除去する(図6(d)参照)。次に、バリアメタル層63をマスクとして、層間絶縁膜62を異方性エッチング処理に付し、ビアホール65を形成する(図6(e)参照)。なお、この異方性エッチング処理は、フッ化物系ガスをベースとした混合ガス(例えば、CHF<sub>3</sub>、CF<sub>4</sub>、Arの混合ガス)を用いた通常のRIE法により行う。この場合、TiN(バリアメタル層63)に対する被エッチング膜である層間絶縁膜62の酸化シリコンのエッチング選択性は約50であるので、TiNはマスク材料として十分なエッチング選択性を有している。更に、TiNは高融点であるため、長時間のエッチングにも十分耐え、変成及び型崩れ等の障害もない。また、エッチングガスと反応してコンタクト内に反応生成物を形成することもない。

【0006】 次に、ビアホール65が埋まるようにバリアメタル層63上に上層配線層用金属層66を形成する(図6(f)参照)。この工程により、上層配線層と下層配線層61とを電気的に接続することができる。次いで、通常のパターニング処理により金属層66とバリアメタル層63を選択的に除去することにより、上層配線層67及びプラグ67aが形成される(図6(g)参照)。なお、この工程におけるパターニング処理は、異方性エッチングにより行うことができ、例えば、Cl<sub>2</sub>と三塩化ホウ素(BCl<sub>3</sub>)との混合ガスを用いた通常

のRIE法が挙げられる。

【0007】なお、バリアメタル層63は、上層配線層67を構成する金属が層間絶縁膜62に拡散することを防ぐ役割を果たす。また、TiNをバリアメタル層63として使用した場合、下層配線層61のストレスマイグレーションを緩和させることができる。しかし、上記形成方法では、ビアホール65の側壁にバリアメタル層63が形成されないため、ビアホール65内のプラグ67aが層間絶縁膜を構成する酸素により酸化されると共に、層間絶縁膜62へプラグ67aを構成する金属が拡散するという問題を生じる。

【0008】また、半導体装置の配線が、一層の層間絶縁膜上だけでは賄いきれなくなっているため、層間絶縁膜上に配線層を形成し、更にその上に層間絶縁膜と配線層をこの順で繰り返し積層し、かつ配線層間の導通をビアホール内に形成されたプラグで確保する、多層配線技術が、半導体装置の微細化及び高集積化のために不可欠になってきている。

【0009】通常、配線層はアルミニウム系の金属、金属化合物又は合金からなり、平坦な層間絶縁膜上に形成される。ここで、上記図6(g)のように従来の配線層は、層間絶縁膜上に凹凸構造のパターンで存在するため、配線層上に更に層間絶縁膜を形成する場合、その表面が平坦になりにくく、段差が形成されることとなる。従って、配線層を複数積層すれば段差が累積して大きくなり、配線層の形成が妨げられたり、配線層間の接続ずれが生じるおそれがある。そのため、配線層の抵抗の増大、配線層の断線、配線層のショート等の問題が起こりやすくなる。

【0010】このような段差を軽減するために、配線層及びプラグ形成用の金属膜を熱処理することにより平坦化する方法が知られている。しかしながら、熱処理は、半導体装置にストレスを与えると共に半導体装置の特性に悪影響を与える恐れがあった。そのため、熱処理することなく配線層及びプラグを平坦化することが望まれている。

【0011】また、半導体装置の微細化及び高集積化のために、アルミニウムより低抵抗な銅やその合金を配線層に使用することが望まれているが、銅は適当なエッチャントがなく所望の形状の配線層を形成することが困難である。上記問題を解決するために、ダマシン法と呼ばれる埋め込み配線層形成方法が報告されている。

【0012】ダマシン法は、層間絶縁膜に配線層を埋め込むための溝(配線溝)を形成し、層間絶縁膜全面に金属膜を形成して溝を埋め込んだ後、層間絶縁膜上の余分な金属膜を除去することにより、溝だけに配線層を形成する方法である。また、配線層間を接続するためのプラグを形成する場合、プラグ形成用の層間絶縁膜を形成し、この層間絶縁膜にビアホールを形成し、ビアホールに金属を埋め込むことによりプラグを形成する。この

後、配線層形成用の層間絶縁膜を形成し、配線層を埋め込むための溝をビアホール上に形成し、この溝に金属を埋め込むことにより配線層が形成される。ここで、通常、アルミニウム又はその合金からなる配線層はスパッタ法で形成されるが、銅からなる配線層は、微細な開口部への被覆性(カバレッジ)が良好な化学的気相成長(CVD)法で形成されている。

【0013】上記ダマシン法において、熱処理することなく層間絶縁膜上の余分な金属膜を除去し平坦化する方法として、エッチバック法が挙げられる。エッチバック法は、配線層形成用の溝やビアホールを金属膜でほぼ完全に埋め込んだ後に、平坦化する有力な方法である。例えば、CVD法により完全に溝及びビアホールを金属膜で埋め込んだ後、溝及びビアホールの周辺の金属膜をプラズマエッチング又はウェットエッチング法でエッチバックして除去することにより、溝に配線層を、ビアホールにプラグを形成することができる。しかしながら、エッチバック法では、層間絶縁膜及び金属膜の段差や凹凸の影響が、配線層やプラグに残るため、十分平坦化できなかった。また、段差部にエッチングしきれないで残る金属膜(残渣)が生じやすかった。

【0014】そこで、エッチバック法に代わり、研磨法、特に化学的機械研磨(CMP)法が平坦化方法として有力視されている。この方法では、層間絶縁膜上に段差や凹凸があっても、層間絶縁層と金属膜を同時に研磨して配線層を形成することができると共に、層間絶縁層と配線層の表面を広い範囲で平坦化することができる。従って、多層配線や配線間の接続を障害なく形成することができる。

【0015】ここで、上記ダマシン法では、配線層とプラグを別々に形成しているが、更に工程数を減少させるために、配線層とプラグを同時に形成する方法、デュアルダマシン法が報告されている(例えば、1995 Symposium on VLSI Technology Digest of Technical Papers 27~28頁及び特開平9-64034号公報参照)。このデュアルダマシン法を断面図である図7(a)~(e)を参照しつつ説明する。

【0016】まず、下層配線層71上に酸化シリコンからなる層間絶縁膜72を堆積し、平坦化させる。次いで、層間絶縁膜72上に窒化シリコン( $\text{Si}_3\text{N}_4$ )からなる拡散防止層73を堆積する(図7(a)参照)。拡散防止層73上にレジストを塗布し、露光及び現像を行うことにより配線層形成用のレジストパターン74を形成する。次に、レジストパターン74をマスクとして、異方性エッチング法により、拡散防止層73を除去し、更に層間絶縁膜72を所望の深さで除去することにより、配線溝75を形成する(図7(b)参照)。

【0017】レジストパターン74を除去した後、レジストを塗布し、露光及び現像を行うことによりビアホール形成用のレジストパターン76を形成する。なお、レ

ジストパターン76に形成されたビアホール形成用の開口部76aは、配線溝75上に形成する。次に、レジストパターン76をマスクとして、異方性エッチング法により、下層配線層71が露出するまで層間絶縁膜72を除去し、ビアホール75aを形成する(図7(c)参照)。なお、この異方性エッチング時に、拡散防止層73はエッチングストップの役割も果たしている。

【0018】レジストパターン76を除去した後、WSiN、TiW、TiN等の高融点金属、又はその窒化物、酸化物、珪化物又は炭化物を全面に被覆してバリアメタル層77を形成する。次いで、Al、Cu等又はそれらの合金を堆積し、熱処理(レーザーアニール処理、高温熱処理等)することにより、金属膜78を形成する(図7(d)参照)。なお、配線溝75及びビアホール75aは、金属膜78で埋められる。

【0019】次に、金属膜78をCMP法により平坦に削ることにより、配線溝75に上層配線層79を、ビアホール75aにプラグ79aを同時に形成することができる(図7(e)参照)。このように、デュアルダマシン法によれば、配線層79とプラグ79aが層間絶縁膜72に埋め込まれた多層配線を最も容易に形成することができる。

【0020】更に、上記図7(a)～(e)のデュアルダマシン法を、平面図である図8(a)～(e)に基づいて説明する。層間絶縁膜72上に拡散防止層73を形成する(図8(a)参照)。次いで、拡散防止層73を除去し、層間絶縁膜72を所望深さ除去することにより、配線溝75を形成する(図8(b)参照)。

【0021】次に、レジストを塗布し、露光及び現像を行うことによりビアホール形成用のレジストパターン74を形成する。このレジストパターン74をマスクとして、異方性エッチング法により、下層配線層71が露出するまで層間絶縁膜72を除去し、ビアホール75aを形成する。この異方性エッチングにより、ビアホール75aの幅が、配線溝75の幅程度に自己整合的に形成されていることがわかる(図8(c)参照)。

【0022】この後、全面にバリアメタル層77を形成し(図8(d)参照)、続いて金属膜78を形成する

(図8(e)参照)。更に、CMP法により拡散防止層73の上面の金属膜78を除去することにより、上層配線層79及びプラグ79aを形成することができる(図8(f)参照)。ここで、上記エッチバック法、ダマシン法及びデュアルダマシン法では、バリアメタル層を設けない場合、上層配線層及びプラグに外部から酸素等の不純物が混入して、これらを構成する金属と反応することにより、抵抗が高くなる等の悪影響がでる。更に、上層配線層及びプラグに銅、層間絶縁膜に酸化シリコンを使用した場合、銅は酸化シリコン中に拡散しやすいので、上層配線層の結晶性が損なわれたり、上層配線層にスパイクが生じたり、隣接する配線層とショートする等

の問題が生じる。従って、バリアメタル層を設けることが好ましい。

【0023】特に、上層配線層及びプラグに銅、層間絶縁膜に酸化シリコンを使用した場合、バリアメタル層にWSiNを使用すれば、銅と酸化シリコンとの密着性及び被覆性が向上することが報告されている(例えば、半導体・集積回路技術第49回シンポジウム講演論文集1995年12月7～8日東京第42頁参照)。なお、埋め込み配線層の形成方法ではないが、ビアホールにCVD法によりタングステン(W)からなるプラグをバリアメタル層を介して埋め込む方法(特開平5-109903号公報)や、アルミニウムからなるプラグをバリアメタル層を介して埋め込む方法(特開平5-259116号公報)が知られている。

【0024】特開平5-109903号公報に記載された方法を図9(a)～(d)を使用して説明する。まず、W膜91c/AlCu膜91b/TiN膜91aの積層体からなる下層配線層91上に層間絶縁膜92を形成し、層間絶縁膜92の所望の位置に下層配線層91が露出するビアホール93を形成する(図9(a)参照)。次に、ビアホール93内にバリアメタル層94及び密着層95として、例えば、TiN膜及びTi(チタン)膜をスパッタ法により形成する(図9(b)参照)。更に、CVD法によりビアホール93内をWで埋め込み、続いてエッチバック法により余分なWを除去することにより、ビアホール93内にプラグ96を形成する(図9(c)参照)。この後、例えば、TiN膜/AlCu膜をスパッタ法により形成し、加工することにより上層配線層97を形成する。更に、上層配線層97上に保護膜98を堆積させる(図9(d)参照)。

【0025】次に、特開平5-259116号公報に記載された方法を図10(a)～(d)を使用して説明する。まず、半導体基板の表面層に下層配線層101としての不純物拡散層を形成し、上記図9(a)及び(b)と同様にして、層間絶縁膜102及びビアホール103を形成する。この後、ビアホール103内にバリアメタル層104及び密着層105として、TiON膜及びTi膜が形成される(図10(a)及び(b)参照)。更に、密着層105上に、後に積層される上層金属層の埋め込み性を高めるために、濡れ層106として高融点金属であるTi膜をスパッタ法により形成する(図10(c)参照)。この後、Al系合金膜を高温条件下でのスパッタ法により形成し、加工することにより上層配線層107及びプラグ107aを形成する(図10(d)参照)。なお、この方法は、上記Wからなるプラグを形成する方法に比べて工程を減らすことができるというメリットがある。

【0026】

【発明が解決しようとする課題】上記いずれの方法も、上層配線層と下層配線層は、ビアホール内で、プラグに

よりバリアメタル層を介して接続されている。そのため、ビアホール底部に存在するバリアメタル層の抵抗(寄生抵抗)が増大し、配線層間に余分な抵抗が生じ、そのため駆動電流が小さくなっていった。

【0027】また、上層配線層と下層配線層は、異なる金属からなるバリアメタル層を介して接続されているので、密着性が悪くなり、ビアホール底部やその近傍の下層配線層でエレクトロ・マイグレーションが起こりやすい。その結果、下層配線層とバリアメタル層間にストレスが生じ、金属のスパイクやボイドが発生するため、配線不良や断線が生じる恐れがあった。

【0028】更に、ビアホール底部のバリアメタル層の存在により、ビアホール内部のプラグを構成する金属の結晶性が向上しにくく、低抵抗のプラグを得ることが困難であった。また、Wからなるプラグを使用した場合、異なる材料間を電流が流れるため、配線層を構成する金属の移動の需給バランスがくずれ、エレクトロ・マイグレーションが生じていた。

【0029】更に、配線層に銅を使用する場合、アルミニウム又はその合金からなる配線層を使用した場合より、バリアメタル(例えば、TiN)層の厚さを薄くすることができなかった。そのため、寄生抵抗が上昇していた。また、WSiNからなるバリアメタル層は、良好な比抵抗と耐熱性を有することが知られているが、銅の拡散を抑えるためには1000Å程度の厚さが必要となる。そのため、微細な配線層を形成するのは困難であった。

#### 【0030】

【課題を解決するための手段】かくして本発明によれば、少なくとも下層配線層、層間絶縁膜及び上層配線層をこの順で有し、下層配線層から上層配線層に向かって層間絶縁膜を貫通するように形成されたビアホールと、ビアホール内に形成されたプラグと、プラグと層間絶縁膜間に形成されたバリアメタル層とを備えてなり、下層配線層と上層配線層がプラグと直接接することを特徴とする半導体装置が提供される。

【0031】また、本発明によれば、下層配線層上に層間絶縁膜を形成し、層間絶縁膜の表面から下層配線層に向かって層間絶縁膜を貫通するようにビアホールを形成し、層間絶縁膜の表面とビアホールの側壁及び底部にバリアメタル層を形成し、ビアホール底部のバリアメタル層を下層配線層が露出するまで除去した後、プラグ及び上層配線層を形成することを特徴とする半導体装置の製造方法が提供される。

【0032】更に、本発明によれば、下層配線層上に層間絶縁膜を形成し、層間絶縁膜の表面から下層配線層に向かって層間絶縁膜を貫通しないように上層配線層形成用の配線溝を、層間絶縁膜の表面から下層配線層に向かって層間絶縁膜を貫通するようにビアホールを形成し、層間絶縁膜の表面、配線溝及びビアホールの側壁及び底

部にバリアメタル層を形成し、ビアホール底部のバリアメタル層を下層配線層が露出するまで除去した後、上層配線層形成用の材料を全面に堆積させることにより、上層配線層とプラグとを同時に形成することを特徴とする半導体装置の製造方法が提供される。

#### 【0033】

【発明の実施の形態】まず、下層配線層とは、絶縁膜上に形成された配線層、半導体基板(例えば、シリコン基板)上に形成されたゲート電極、半導体基板の表面層に形成されたソース及びドレイン領域等の不純物拡散層も含まれる。ここで、下層配線層は、絶縁膜上に形成される場合、アルミニウム、銅等の金属及びAlCu等の合金からなる。ゲート電極である場合、前記と同様の金属及び合金、シリコン、シリサイド等を使用することができる。また、ソース及びドレイン領域である場合、不純物を含むシリコンからなる。

【0034】次に、下層配線層上の層間絶縁膜としては、当該分野で公知のものをいずれも使用することができる。例えば、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、SOG、PSG、BPSG等が挙げられる。層間絶縁膜は、0.7〜1.5μmの厚さを有していることが好ましい。次いで、層間絶縁膜上に形成される上層配線層は、アルミニウム、銅等の金属及びAlCu、AlSiCu等の合金からなる。

【0035】更に、層間絶縁膜には、ビアホールが形成され、ビアホール内には上層配線層と下層配線層とを電気的に導通させるプラグが形成されている。ここで、プラグは、上層配線層及び下層配線層と別の材料から構成されていてもよいが、上層配線層と下層配線層とをより低抵抗に接続するために、同一の材料からなることが好ましい。

【0036】また、プラグと層間絶縁膜の間にはバリアメタル層が形成される。このバリアメタル層は、プラグを構成する材料が、層間絶縁膜に拡散することを防止する働きを有している。本発明では、バリアメタル層は、プラグと層間絶縁膜の間(即ち、ビアホールの側壁)にのみ存在し、従来のようにビアホール底部に存在していない。従って、バリアメタル層による寄生抵抗の増大や、配線不良及び断線等の問題は生じず、プラグの結晶性も阻害されない。なお、ビアホール底部にバリアメタル層が存在する場合、プラグの結晶性が阻害されるのは、従来、バリアメタル層がプラグの結晶配向の制御及び結晶性の促進に寄与していると考えられていたが、ビアホール底部では結晶配向を制御する能力が失われているためであると考えられる。

【0037】上記バリアメタル層は、Ti、W、Ta等の高融点金属、TiN、窒化タングステン(WN)、Ta<sub>2</sub>N等の高融点金属の窒化物、WSiN等の高融点金属シリサイドの窒化物等からなる層が挙げられる。この内、W、TiNの金属層や、WとTiNとの積層体を使

10

20

30

40

50

用することが好ましい。特に、少なくともW膜を含み、W膜がプラグと接するバリアメタル層を使用することが好ましい。この理由は、Ti又はその化合物のみからなるバリアメタル層は、比抵抗が $60 \sim 100 \mu\Omega\text{cm}$ と比較的高いため、もしプラグ内でボイドが発生するとプラグの抵抗が急激に高くなる。しかしながら、Wの比抵抗は約 $15 \mu\Omega\text{cm}$ と比較的低いため、プラグ内でボイドが発生してもプラグの抵抗の上昇を抑えることが可能だからである。その結果、配線の信頼性を更に高めることができる。バリアメタル層の厚さは、プラグを構成する材料が層間絶縁膜に拡散しない程度であれば特に限定されないが、通常 $0.05 \sim 0.15 \mu\text{m}$ である。

【0038】また、上層配線層と層間絶縁膜との間に、上層配線層を構成する材料が層間絶縁膜に拡散することを防ぐ拡散防止層を形成してもよい。拡散防止層は、通常窒化シリコンからなり、その厚さは、 $0.05 \sim 0.20 \mu\text{m}$ 程度である。更に、上層配線層は、層間絶縁膜に埋め込まれ、上層配線層と層間絶縁膜の上面が、同一平面でありかつ略平坦である構成を有していてもよい。上層配線層をこのような構成にすることにより、配線層を繰り返し積層した場合に生じる段差が軽減され、より多層の配線層を形成することができる。

【0039】更に、本発明の半導体装置は、上層配線層、層間絶縁膜と下層配線層を繰り返し積層した多層配線を有していてもよい。次に、本発明の半導体装置の製造方法を説明する。以下では、上層配線層を層間絶縁膜上に形成する場合と、層間絶縁膜に埋め込む場合に分けて説明する。

【0040】（上層配線層を層間絶縁膜上に形成する場合）まず、下層配線層上に層間絶縁膜を形成する。下層配線層は、金属、合金、シリコン又はシリサイドからなる場合は、蒸着法、スパッタ法、CVD法等により膜を形成した後、公知の方法で所定のパターンに成形することにより形成することができる。また、下層配線層がソース及びドレイン領域である場合は、半導体基板の表面層の所定の領域に不純物を注入することにより形成することができる。一方、層間絶縁膜の形成方法は、この膜に使用される材料に応じて選択される。例えば、蒸着法、スパッタ法、CVD法、焼成法等が挙げられる。

【0041】なお、拡散防止層を形成する場合は、上記層間絶縁膜に続いて形成することができる。拡散防止層の形成方法は、この膜に使用される材料に応じて選択される。例えば、蒸着法、スパッタ法、CVD法、焼成法等が挙げられる。次に、層間絶縁膜及び任意に形成される拡散防止層にその表面から下層配線層に向かって貫通するビアホールが形成される。ビアホールの形成方法は、特に限定されず、例えばマスクを使用したドライエッチング法、ウェットエッチング法等の公知の方法をいずれも使用することができる。

【0042】次いで、層間絶縁膜の表面、ビアホールの

側壁及び底部にバリアメタル層を形成する。バリアメタル層の形成方法は、特に限定されず、例えば、蒸着法が挙げられる。また、W膜をバリアメタル層が含む場合、全面にW膜を積層した後、エッチバック法でエッチングすれば、プラグの側壁にのみW膜を残存させることができる。

【0043】更に、ビアホールの底部のバリアメタル層を下層配線層が露出するまで除去する。除去方法としては、ビアホール上に開口部を有するマスクを使用した異方性エッチング法が好ましい。なお、層間絶縁膜上に拡散防止層を形成しておけば、異方性エッチングにより層間絶縁膜が除去されないで、前記マスクに形成される開口部の形成精度を緩和することができる。

【0044】この後、ビアホール内にプラグが、層間絶縁膜上に上層配線層が形成される。ここで、プラグと上層配線層の形成は別々に行ってもよいが、同時に形成することにより工程を減らすことができる。プラグ及び上層配線層の形成方法は、特に限定されることなく、蒸着法、スパッタ法、CVD法、焼成法等が挙げられる。なお、上記層間絶縁膜及び上層配線層の形成を所望数繰り返すことにより、多層配線を形成することができる。

【0045】（上層配線層を層間絶縁膜に埋め込む場合）まず、上記上層配線層を層間絶縁膜上に形成する場合と同様に、下層配線層、層間絶縁膜及び任意に拡散防止層を形成する。次に、層間絶縁膜にその表面から下層配線層に向かって貫通しない上層配線層形成用の溝とその表面から下層配線層に向かって貫通するビアホールを形成する。上層配線層形成用の溝及びビアホールの形成方法は、特に限定されず、公知の方法をいずれも使用することができる。例えば、次の方法が挙げられる。

【0046】まず、所望パターンの上層配線層形成用の溝を、マスクを使用したドライエッチング法、ウェットエッチング法等の方法により層間絶縁膜にその表面から下層配線層に向かって貫通しない深さで形成する。次いで、ビアホールの形成を所望する領域に開口部を有するマスクを使用して、層間絶縁膜を下層配線層が露出するまで除去することにより前記溝にビアホールを形成する。

【0047】次に、層間絶縁膜の表面、上層配線層形成用の溝内及びビアホール内にバリアメタル層を形成する。バリアメタル層は、上記上層配線層を層間絶縁膜上に形成する場合と同様の方法で形成することができる。更に、ビアホールの底部のバリアメタル層を下層配線層が露出するまで除去する。除去方法は、上記上層配線層を層間絶縁膜上に形成する場合と同様の方法で行うことができる。

【0048】この後、上層配線層形成用の材料を全面に堆積させることにより、上層配線層とプラグとを同時に形成することができる。上層配線層とプラグは、例えば、蒸着法、スパッタ法、CVD法、焼成法等の方法で

形成することができる。更に、上層配線層形成後、エッチバック法、CMP法等で、層間絶縁膜の上面より上に存在する上層配線層を除去することにより、層間絶縁膜に埋め込まれ、上層配線層と層間絶縁膜の上面が、同一平面でありかつ略平坦である上層配線層を形成することができる。なお、上層配線層が、銅又はその合金からなる場合、CMP法で平坦化することが好ましい。

【0049】なお、上記層間絶縁膜及び上層配線層の形成を所望数繰り返すことにより、多層配線を形成することができる。この方法では、多層配線を形成した場合の段差を、上記上層配線層を層間絶縁膜上に形成する場合より、低減することができる。

【0050】

#### 【実施例】実施例1

実施例1では、図1(a)に示すような単結晶シリコン基板上にアルミニウムからなる下層配線層1を形成した基板を用いた。また、層間絶縁膜2には、CVD法で形成した厚さ約1.2 $\mu$ mの厚い酸化シリコン膜を用い、拡散防止層3には、CVD法で形成した厚さ約1000Åの薄い窒化シリコン膜を用いた。

【0051】また、配線溝5及びビアホール5aの形成には、RIE法を用いた。具体的には、シリコン酸化膜は、一般的な $C_xF_y$ ガスによる異方性プラズマエッチング法でエッチングした。一方、シリコン窒化膜は、 $C_xH_yF_z$ ガスによる異方性プラズマエッチング法でエッチングした。なお、これらエッチング法には、それぞれの膜に対して選択比が十分高いエッチャントを使用した。

【0052】上層配線層10及びプラグ10a用の金属には、下層配線層1と同じアルミニウムを使用し、バリアメタル層7には、TiNを使用した。なお、配線溝5の幅は、0.25~1.0 $\mu$ m、深さは約3000Åとした。更に、ビアホール5aの直径は、0.25~1.0 $\mu$ m、深さは約1.0 $\mu$ mとした。以下では、実施例1の半導体装置の製造方法を図1(a)~(f)の断面図を用いて説明する。

【0053】シリコン基板上に所定のパターンで下層配線層1を形成した。シリコン基板及び下層配線層1上に、層間絶縁膜2及び拡散防止層3をこの順で堆積した(図1(a)参照)。次に、耐エッチングマスクとしてレジストパターン4を拡散防止層3上に形成した。このレジストパターン4を使用して、約1000Åの拡散防止層3を異方性プラズマエッチング法で除去し、続いて層間絶縁膜2をその表面から約2000Å異方性プラズマエッチング法で除去した。この結果、深さ約3000Åの配線溝5が形成された(図1(b)参照)。

【0054】レジストパターン4を除去した後、更にレジストを塗布、露光及び現像することにより、ビアホール形成用の開口部6aを有するレジストパターン6を形成した。なお、開口部6aは、配線溝5より広い幅で形

成した。更に、このレジストパターン6を使用して、下層配線層1を過剰に除去しない程度に開口部6a下の層間絶縁膜2をエッチングすることにより、ビアホール5aを形成した(図1(c)参照)。その後、レジストパターン6をアッシングし、OMR剥離液を使用することにより除去した。

【0055】次に、拡散防止層3、配線溝5及びビアホール5aを覆うように厚さ約1000Åのバリアメタル層7を堆積した(図1(d)参照)。次いで、従来では、上層配線層を形成するが、本発明では、ビアホール5aの底部のバリアメタル層7をエッチバックにより除去した。但し、全面をエッチバックすると配線溝5の底部のバリアメタル層7まで除去されてしまうため、ビアホール5a上に開口部8aを有するレジストパターン8で覆った。なお、レジストパターン8の開口部8aの幅を、配線方向のみビアホール5aの幅と合わせた(図1(e)参照)。ここで、レジストパターン8の開口部8aにおいて、拡散防止層3上のバリアメタル層7も除去された。しかしながら、層間絶縁膜2は、拡散防止層3が窒化シリコンからなるので、エッチングされず、露出することはなかった。なお、層間絶縁膜2が露出すると、上層配線層及びプラグを構成する金属が、層間絶縁膜2中に拡散したり、層間絶縁膜2に含まれる酸素により金属が酸化する恐れがある。また、ビアホール5aの側壁のバリアメタル層7は、エッチングされずに残るので、側壁から層間絶縁膜2中に拡散したり、層間絶縁膜2に含まれる酸素により金属が酸化する恐れはなかった。

【0056】次に、アルミニウム膜9を、スパッタリング法で全面に堆積させ、リフローすることにより配線溝5及びビアホール5aに埋め込んだ。更に、CMP法により、層間絶縁膜2の表面のアルミニウム膜9及びバリアメタル層7を研磨して除去することにより上層配線層10及びプラグ10bを形成した(図1(f)参照)。形成された上層配線層10及びプラグ10bは、下層配線層1と同種の金属からなり、ビアホール5aの底部でプラグ10aと下層配線層1を直接接続することができた。このため、プラグ10aを構成する金属の結晶化を容易に向上させることができた。

【0057】次に、図2(a)~(f)の平面図を用いて実施例1の半導体装置の製造方法を説明する。下層配線層1(アルミニウム膜)、層間絶縁膜2(シリコン酸化膜)及び拡散防止層3(シリコン窒化膜)が形成されたシリコン基板上に、配線溝5を形成した。全面にレジストを塗布した後、ビアホール5aの形成用の開口部をレジストに形成することによりレジストパターンを得た。この開口部は、配線溝5に平行な方向より垂直な方向の幅を広くした。レジストパターンをマスクとして、層間絶縁膜2を下層配線層1が露出するまで除去し、レジストパターンを除去すると、配線溝5の幅と同程度の



ビアホール5aを自己整合的に形成することができた(図2(a)参照)。

【0058】次に、全面にバリアメタル層7(TiN膜)を形成した(図2(b)参照)。次いで、すぐに上層配線層を形成せずに、以下の方法でビアホール5aの底部のバリアメタル層7を除去した。即ち、レジストを全面に塗布し、ビアホール5aの底部のバリアメタル層7を除去するための開口部8aをレジストに形成することによりレジストパターン8を得た。この開口部8aは、配線溝5に平行な方向より垂直な方向の幅を広くした。また、ビアホール5aが形成されていない配線溝5は、レジストで埋め込んだ。更に、配線溝5が形成されていない領域では、バリアメタル層7が残存することによる配線間の短絡を防ぐために、レジストを除去した(図2(c)参照)。

【0059】次に、レジストパターン8を用いてRIE法によりバリアメタル層7をエッチングした。この結果、ビアホール5aの底部のバリアメタル層7が除去され、下層配線層1が露出した(図2(d)参照)。更に、レジストパターン8を除去した(図2(e)参照)。図2(e)から判るように、ビアホール5aの底部の下層配線層1が露出した部分を除けば、配線溝5の殆どがバリアメタル層7で覆われていた。

【0060】この後、アルミニウム膜9を、スパッタリング法で全面に堆積させ、リフローすることにより配線溝5及びビアホール5aに埋め込んだ。更に、CMP法により、表面のアルミニウム膜9及びバリアメタル層7を研磨して除去することにより上層配線層10及びプラグ10aを形成した。実施例1により得られた半導体装置のプラグ10aの抵抗を、ケルビン抵抗測定法により測定した。更に、比較のために、ビアホール5aの底部のバリアメタル層7を除去しないこと以外は、実施例1と同様に形成した従来の半導体装置(図3(e)参照)のプラグの抵抗も測定した。その結果、実施例1の半導体装置は、従来の半導体装置に比べて、ビアホールの底部のバリアメタル層の厚さ分だけ寄生抵抗が除かれていることが確認できた。これは、ビアホールの底部のバリアメタル層の抵抗がアルミニウム膜の抵抗と置き換わるためである。また、プラグの抵抗も、従来の半導体装置と比較して、10分の1以下にすることができた。この理由は、寄生抵抗が除かれていることに加えて、実施例1のプラグの結晶性が向上したためである。

【0061】更に、実施例1と従来の半導体装置のプラグに長時間電流を流した後、プラグのエレクトロマイグレーションの発生を、プラグの断面を観察することにより評価した。その結果、従来の半導体装置は、プラグを構成するバリアメタル層がストレスにより破れ、バリアメタル層と接触する下層配線層にスパイクやボイドが発生した。これに対して、実施例1の半導体装置では、プラグに変化はなく、下層配線層にスパイクやボイドの発

生もなかった。この理由は、実施例1の半導体装置にはプラグの底部にバリアメタル層がないため、異種金属間のストレスが生じないこと、及び、プラグと下層配線層を構成する金属が同じであるため、エレクトロマイグレーションによる局所的なボイドがプラグと下層配線層を構成する金属によりリカバー(再埋め込み)されるためであると考えられる。

#### 【0062】実施例2

下層配線層1、プラグ10a及び上層配線層10を構成する金属を銅に換えること以外は実施例1と同様にして半導体装置を製造した。また、比較のために、ビアホール5aの底部のバリアメタル層7を除去しないこと以外は、実施例2と同様にして従来の半導体装置を製造した。

【0063】実施例2及び従来の半導体装置のプラグの抵抗とエレクトロマイグレーションの発生の評価を実施例1と同様にして評価した。その結果、実施例1と同様に、実施例2の半導体装置は、従来の半導体装置に比べて、プラグの抵抗が低く、下層配線層にスパイクやボイドの発生もなかった。また、プラグの結晶性も向上していた。

#### 【0064】実施例3

実施例1の図1(a)~(d)と同様にして、拡散防止層3及びビアホール5aを厚さ1000Åのバリアメタル層7で覆った(図3(a)~(c)参照)。次に、レジストを全面に塗布し、ビアホール5aの底部のバリアメタル層7を除去するための開口部8aをレジストに形成することによりレジストパターン8を得た(図4(a)参照)。

レジストパターン8を使用して、RIE法によりビアホール5aの底部のバリアメタル層7を除去した。ここで、エッチャントには $Cl_2$ ガスを使用した。また、RIE法では、ビアホール5aの底部の下層配線層1を100Åエッチングすることにより、バリアメタル層7を完全に除去した(図4(b)参照)。図4(b)から明らかなように、ビアホール5aの側壁にはバリアメタル層7が存在する。一方、層間絶縁膜2上には拡散防止層3が存在している。そのため、後に形成されるプラグ10a及び上層配線層10を構成する金属が、層間絶縁膜2に拡散することを防止することができた。この後、レジストパターン8を除去した(図3(d)参照)。

【0065】次に、アルミニウム膜9を積層した(図3(e)参照)。アルミニウム膜9は、ビアホール5a内にも埋め込まれ、その結果ビアホール5a内にプラグ10aが形成された。次いで、通常のパターニング処理で上層配線層10を形成することにより、半導体装置を製造した(図3(f)参照)。

【0066】得られた半導体装置を実施例1と同様にして評価した。また、比較のために、ビアホール5aの底部のバリアメタル層7を除去しないこと以外は、実施例

3と同様にして従来の半導体装置を製造した。その結果、実施例1と同様に、実施例3の半導体装置は、従来の半導体装置に比べて、プラグの抵抗が低く、下層配線層にスパイクやボイドの発生もなかった。また、プラグの結晶性も向上していた。

#### 【0067】実施例4

下層配線層1、プラグ10a及び上層配線層10を構成する金属を銅に換えること以外は実施例3と同様にして半導体装置を製造した。また、比較のために、ビアホール5aの底部のバリアメタル層7を除去しないこと以外は、実施例4と同様にして従来の半導体装置を製造した。

【0068】実施例4及び従来の半導体装置のプラグの抵抗とエレクトロマイグレーションの発生の評価を実施例1と同様にして評価した。その結果、実施例1と同様に、実施例4の半導体装置は、従来の半導体装置に比べて、プラグの抵抗が低く、下層配線層にスパイクやボイドの発生もなかった。また、プラグの結晶性も向上していた。

【0069】実施例5BPSGからなる絶縁膜11上に下層配線層1を形成した。ここで、下層配線層1は、500ÅのTiN膜1a、5000ÅのAlCu膜1b及び300ÅのTiN膜1cからなる。次に、TEOSを原料としてプラズマCVD(PCVD)法により酸化シリコンからなる層間絶縁膜2を形成した。次いで、下層配線層1上の層間絶縁膜2に、ビアホール5a(ホール直径0.6μm、深さ0.6μm)を形成した(図5(a)参照)。

【0070】次に、下層配線層1上の自然酸化膜を除去するために、酸化膜相当で150Å程度、Arにより逆スパッタした。その後、全面にTiN膜7aを500Å積層した(図5(b)参照)。更に、全面にプラズマCVD法により約1500ÅのW膜7bを積層した(図5(c)参照)。なお、TiN膜7a及びW膜7bは、バリアメタル層7として機能する。

【0071】次いで、エッチバックにより、下層配線層1の上部のTiN膜7a及びW膜7b、及びビアホール5aの側壁以外のW膜7bを除去した(図5(d)参照)。なお、下層配線層1の上部のTiN膜7a及びW膜7bの厚さは、それぞれ100Å及び1000Å程度であり、下層配線層1を構成するTiN膜1cの厚さは、300Åである。そのため、選択比W/TiNが2程度(エッチングガスの流量SF<sub>6</sub>/Ar=80sccm/40sccm)、圧力165mTorr、RFパワー250Wの条件下でエッチバックを行った。

【0072】次に、450℃の温度及び70MPaの圧力からなる高温高圧の条件下で、AlCu膜9aとTiN膜9bをスパッタ法により形成した。その後、AlCu膜9aとTiN膜9bを所望のパターンに、通常の方法によりエッチングすることにより、プラグ10a及び

上層配線層10を形成して、実施例5の半導体装置を製造することができた(図5(e)参照)。また、比較のために、ビアホール5aの底部のバリアメタル層7を除去しないこと以外は、実施例5と同様にして従来の半導体装置を製造した。

【0073】実施例5及び従来の半導体装置のプラグの抵抗とエレクトロマイグレーションの発生の評価を実施例1と同様にして評価した。その結果、実施例1と同様に、実施例5の半導体装置は、従来の半導体装置に比べて、プラグの抵抗が低く、下層配線層にスパイクやボイドの発生もなかった。また、プラグの結晶性も向上していた。

【0074】また、実施例5の半導体装置は、プラグ10aの側壁がW膜7aにより覆われているため、プラグ10a自体にボイドが発生しても、プラグ10aの抵抗の上昇を抑えることができた。この理由は、TiN、Ti及びTiN/Ti等の比抵抗が60~100μΩcmであるのに比べて、Wの比抵抗が15μΩcmと低いためである。従って、プラグ10aの側壁をW膜7bで覆うことにより、配線の信頼性をより高めることができた。

#### 【0075】

【発明の効果】本発明の半導体装置は、上層配線層と下層配線層がバリアメタル層を介することなく、プラグにより直接接続されているため、従来の半導体装置で存在するバリアメタル層による寄生抵抗は存在しない。また、バリアメタル層により、プラグを構成する金属の結晶性が阻害されないため、良好な結晶性を保つことができる。従って、上層配線層と下層配線層との間の抵抗を従来より格段に低減することができる。

【0076】また、上層配線層と下層配線層がバリアメタル層を介することなく、プラグにより直接接続されているため、エレクトロマイグレーションやストレスによる断線を防止することができ、配線の信頼性を向上させることができる。更に、上層配線層、下層配線層及びプラグからなる配線を同一金属により形成すれば、配線中の金属の移動の需給バランスの不良が原因と考えられているエレクトロマイグレーションへの耐性を向上させることができる。

【0077】また、プラグ側にW膜が存在するバリアメタル層を使用すれば、以下の理由により、配線の信頼性を更に高めることができる。即ち、Ti又はその化合物のみからなるバリアメタル層は、比抵抗が60~100μΩcmと比較的高いため、もしプラグ内でボイドが発生するとプラグの抵抗が急激に高くなる。しかしながら、Wの比抵抗は約15μΩcmと比較的低いため、プラグ内でボイドが発生してもプラグの抵抗の上昇を抑えることが可能なためである。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の概略工程断面

17

図である。

【図2】本発明の半導体装置の製造方法の概略工程平面図である。

【図3】本発明の半導体装置の製造方法の概略工程断面図である。

【図4】図3の半導体装置の製造方法の要部拡大図である。

【図5】本発明の半導体装置の製造方法の概略工程断面図である。

【図6】従来の半導体装置の製造方法の概略工程断面図 10 である。

【図7】従来の半導体装置の製造方法の概略工程断面図である。

【図8】従来の半導体装置の製造方法の概略工程平面図である。

【図9】従来の半導体装置の製造方法の概略工程断面図である。

【図10】従来の半導体装置の製造方法の概略工程断面図である。

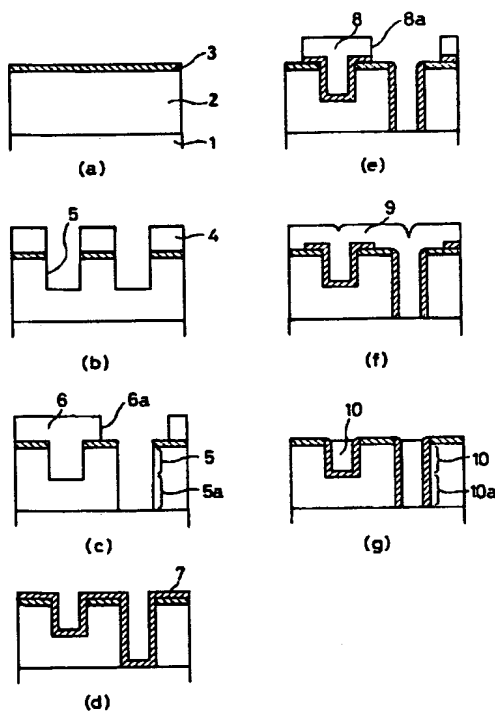
【符号の説明】

20

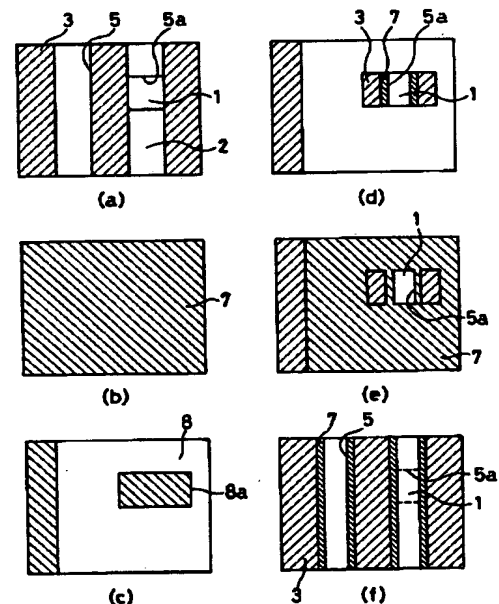
18

- 1、61、71、91、101 下層配線層
- 1a、1c、7a、9b、91a TiN膜
- 1b、9a、91b AlCu膜
- 2、62、72、92、102 層間絶縁膜
- 3、73 拡散防止層
- 4、6、8、64、74、76 レジストパターン
- 5、75 配線溝
- 5a、65、75a、93、103 ビアホール
- 6a、8a、76a 開口部
- 7、63、77、94、104 バリアメタル層
- 7b、91c W膜
- 9 アルミニウム膜
- 10、67、79、97、107 上層配線層
- 10a、67a、79a、96、107a プラグ
- 60 デバイス層
- 66、78 金属膜
- 95、105 密着層
- 98 保護膜
- 106 濡れ層

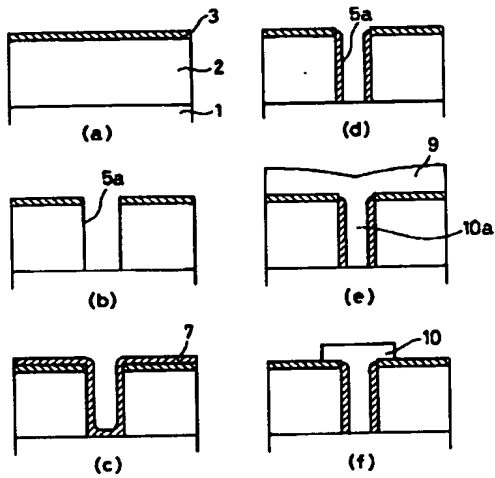
【図1】



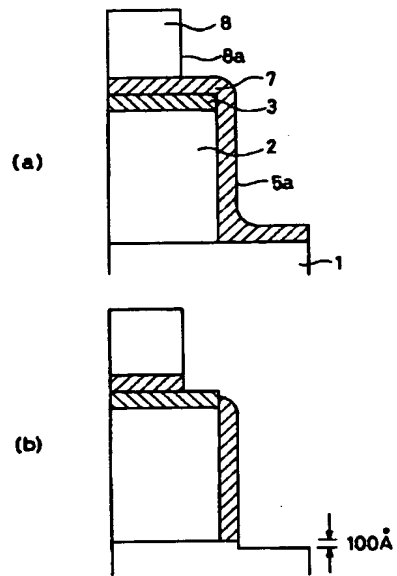
【図2】



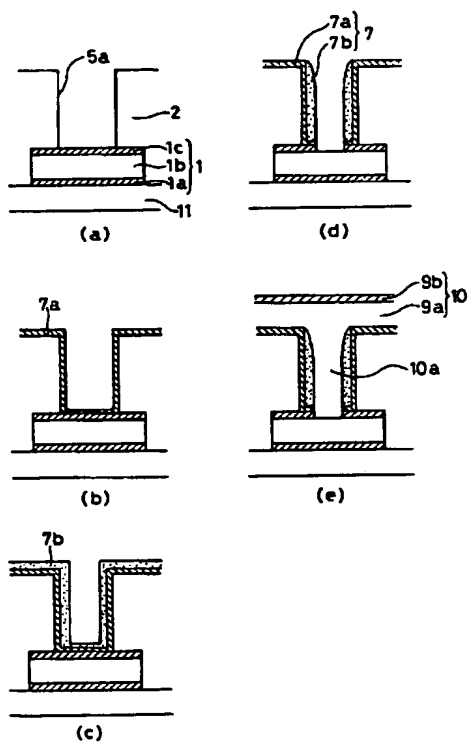
【図3】



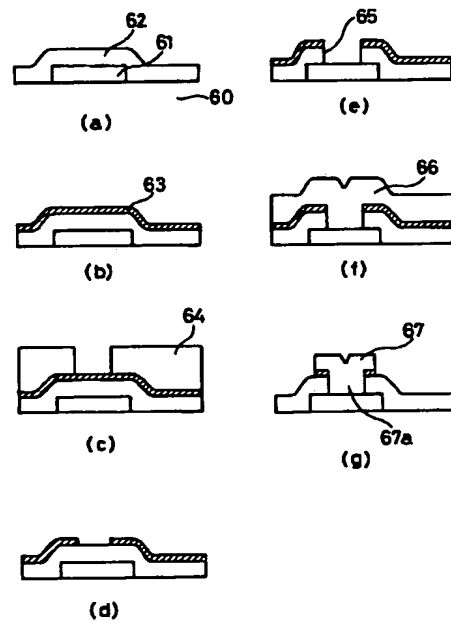
【図4】



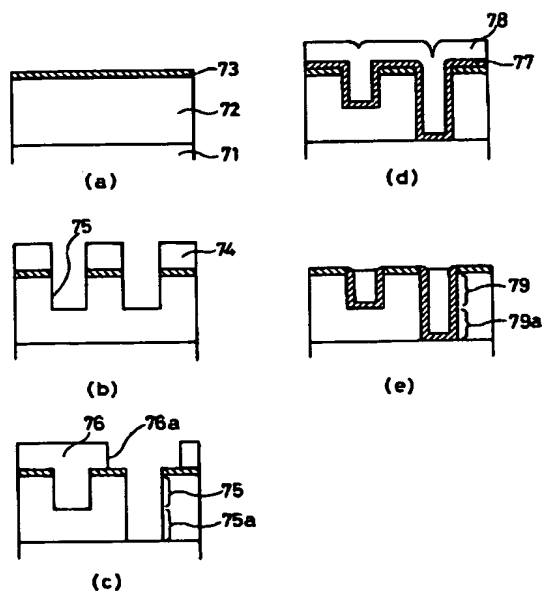
【図5】



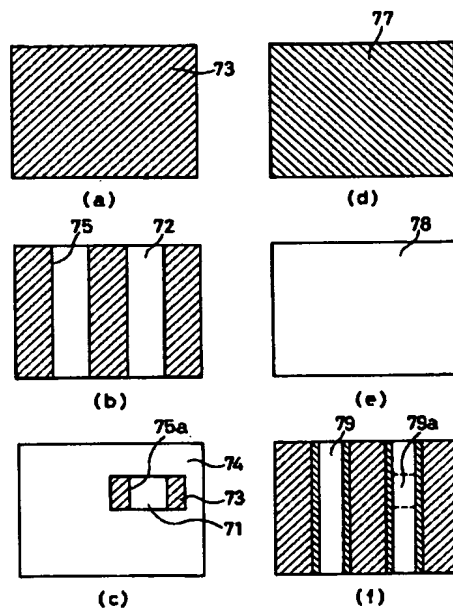
【図6】



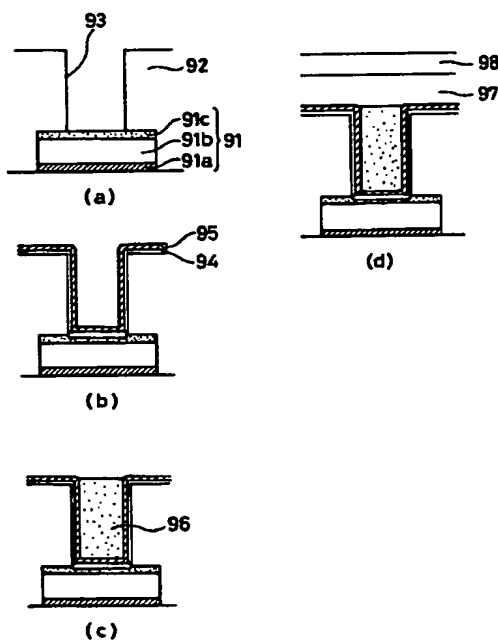
【図7】



【図8】



【図9】



【図10】

